

DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010250997 **Image available**
WPI Acc No: 1995-152252/ 199520
Related WPI Acc No: 1995-286270
XRPX Acc No: N95-119689

Image processor for e.g. digital still camera - has interface circuit
connected between CPU and two or more media which is loaded to selective
target based on control change signal from decoded data

Patent Assignee: OLYMPUS OPTICAL CO LTD (OLYU)

Inventor: SATOH Y

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7078043	A	19950320	JP 93246392	A	19930907	199520 B
US 5786885	A	19980728	US 94301632	A	19940907	199837
			US 97840847	A	19970417	

Priority Applications (No Type Date): JP 93246392 A 19930907

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7078043	A		11	G06F-003/00	
US 5786885	A			G06F-003/00	Cont of application US 94301632

Abstract (Basic): JP 7078043 A

The image processor consists of a central processor (1) to which two or more media (3A-3C) for data transmission functions are connected through data bus and address bus. An interface circuit (2) is connected between the CPU and the media. The interface consists of two circuits. The first circuit decodes the data transmitted from the CPU through the data bus or address bus.

Based on the decoded data, a control signal generation circuit (23) generates change control signal. Based on the change control signal, the circuit charging switch (21,22) changes and outputs enable signal and light enable signal. The media corresponding to the enable, light enable signals is loaded into a selective target.

ADVANTAGE - Provides simple composition of device. Facilitates PCB design and mounting.

Dwg.1/13

Title Terms: IMAGE; PROCESSOR; DIGITAL; STILL; CAMERA; INTERFACE; CIRCUIT;
CONNECT; CPU; TWO; MORE; MEDIUM; LOAD; SELECT; TARGET; BASED; CONTROL;
CHANGE; SIGNAL; DECODE; DATA

Derwent Class: T01; W04

International Patent Class (Main): G06F-003/00

International Patent Class (Additional): G06K-017/00; G06K-019/00;
G06T-001/00; G06T-001/60; H04N-005/907

File Segment: EPI

Manual Codes (EPI/S-X): T01-C07C1; T01-J08A; T01-J10B3; W04-M01B1C;
W04-M01D6; W04-M01D9

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

(43)公開日 平成7年(1995)3月20日

審査請求 未請求 請求項の数1 FD (全 11 頁) 最終頁に続く

(74)代理人 弁理士 福山 正博

【特許請求の範囲】

【請求項1】複数種類の情報記録媒体または外部機器とのデータ転送機能を備える媒体を選択的に装填可能な複数の媒体装填部と、

CPUと、

上記CPUと上記複数の媒体装填部とを結ぶデータバス及びアドレスバスと、

上記CPUとリード指令線、ライト指令線及びデータバス並びにアドレスバスで結ばれてなり、該データバス乃至アドレスバスを通して上記CPUから伝送されるデータをデコードして切換制御信号並びに上記複数の媒体装填部に各別に対応した複数のセレクト信号を形成する第1の回路部と、該切換制御信号に応じて上記リード指令線を通して伝送される信号及び上記ライト指令線を通して伝送される信号を上記媒体装填部に選択的に装填可能な媒体の種類毎に対応した複数種類のアウトプットイネーブル信号及び複数種類のライトイネーブル信号として各別の所定の出力端に割り振る第2の回路部とを含んでなるインターフェース回路と、を備えて成ることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像処理装置に関し、特にICメモリカードやI/Oカード等の媒体が共用できるとともに複数枚のカードが装填される画像処理装置に関する。

【0002】

【従来の技術】デジタルスチルカメラ等の画像処理装置においては、記録媒体としてのメモリカードであるICメモリや、装置と外部周辺装置との間のデータ授受用のインターフェース(I/O)カードがある。これらカードは、複数枚用いられていることも多く、それぞれを当該画像処理装置に別個に設けられたカードスロットに装填して使用したいという要望がある。I/Oカードとしては、HDタイプカード、SCSIカード、モデムカード、LANカード、RS232Cカード、フラッシュカード、イーサネットカード、SRAMカード等のカードがある。

【0003】かかる要望に応える装置システムは現在未だ提案されていないが、そのようなシステムとして、図12に示すような構成が考えられる。それぞれのカードが挿入、装填される複数個(本例では3個)のカードスロット13A~13CがCPU1の該当ポートと、バス及びコントロールラインを介して接続されている。バスは、データバスとアドレスバスから成り、コントロールラインは、読み出し(RD)信号、書き込み(WR)信号及びセレクト信号用のラインから成る。

【0004】

【発明が解決しようとする課題】上述のように、複数枚のカードに対応すべく複数個のカードスロットを設置し

た画像処理装置では、複数本のコントロール信号線を用意し、また、各カードスロット毎にCPUのポートを対応付けなければならず、CPUの多数のポートが専有されてしまうため、設計上の制約が大きくなってしまいう問題がある。

【0005】そこで、本発明の目的は、ICメモリカード、I/Oカード等の複数枚のカードを装填してそれぞれのカードを簡易な構成で利用可能とした画像処理装置を提供することにある。

【0006】

【課題を解決するための手段】前述の課題を解決するため、本発明による画像処理装置は、複数種類の情報記録媒体または外部機器とのデータ転送機能を備える媒体を選択的に装填可能な複数の媒体装填部と、CPUと、上記CPUと上記複数の媒体装填部とを結ぶデータバス及びアドレスバスと、上記CPUとリード指令線、ライト指令線及びデータバス並びにアドレスバスで結ばれてなり、該データバス乃至アドレスバスを通して上記CPUから伝送されるデータをデコードして切換制御信号並びに上記複数の媒体装填部に各別に対応した複数のセレクト信号を形成する第1の回路部と、該切換制御信号に応じて上記リード指令線を通して伝送される信号及び上記ライト指令線を通して伝送される信号を上記媒体装填部に選択的に装填可能な媒体の種類毎に対応した複数種類のアウトプットイネーブル信号及び複数種類のライトイネーブル信号として各別の所定の出力端に割り振る第2の回路部とを含んでなるインターフェース回路と、を備えて構成される。

【0007】

【作用】本発明では、ICメモリカードやI/Oカード等の媒体が共用できるとともに複数枚のカードが装填される画像処理装置において、CPUから伝送されるデータをデコードして切換制御信号と、複数の媒体の装填部に対応した複数のセレクト信号を形成し、上記切換制御信号に応じて上記媒体装填部に選択的に装填可能な媒体の種類毎に対応したアウトプットイネーブル信号及びライトイネーブル信号を出力するように構成している。

【0008】

【実施例】次に、本発明の実施例について図面を参照しながら説明する。図1は、本発明による画像処理装置の一実施例を示す構成ブロック図である。本実施例は、CPU1と、カードスロット3A~3Cとが1つのインターフェース回路2で接続され、インターフェース回路2により必要とされるカードスロットの選択及び読出信号、書込信号の選択的供給が行われている。CPU1、インターフェース回路2及びカードスロット3A~3Cは、またバスを介してデータ及びアドレスの授受が行われる。

【0009】ICメモリカードやI/Oカードにはカードの属性情報が格納されているアトリビュートメモリ領

域があり、前述の如く、上記カードには、コントロール信号としてセレクト信号、読出信号及び書込信号が供給される。図2には、アトリビュートメモリ、ICメモリカード及びI/Oカードへのコントロール信号が示されている。アトリビュートメモリには、セレクト信号の他、アクセス信号としてのREG信号、読出信号としてのCOE信号及び書込信号としてのCWE信号がコントロール信号として供給される。ICメモリカードには、セレクト信号、読出用のCOE信号及び書込用のCWE信号が供給される。また、I/Oカードには、セレクト信号、REG信号、読出用のIOOE信号及び書込用のIOWE信号が供給される。

【0010】図3には、CPU側から自己につながるバスを介してアクセス可能な仮想的メモリ領域であるCPU1から見たメモリマップ例が示されている。メモリマップ領域は、CPU1の処理手順を指示するプログラムが格納されているROM5(図1)の領域と、ワーク領域としてのRAM6(図1)の領域に続いて、スロット3A、3B及び3Cそれぞれに対する領域#1、#2及び#3として、アトリビュート領域#11、#21及び#31、ICメモリ領域#12、#22及び#32、更にはI/Oカード領域#13、#23及び#33が配置されている。

【0011】図1において、インターフェース回路2には、切換スイッチ21、22、コントロール信号発生回路23及びアドレスデコーダ24が設けられている。切換スイッチ21と22は、コントロール信号発生回路23からの切換信号により制御される。CPU1から発生される読出信号RDは、切換スイッチ21により、COE信号またはIOOE信号としてカードスロット3A~3Cに供給される。また、CPU1から発生される書込信号WRは、切換スイッチ22により、CWE信号またはIOWE信号としてカードスロット3A~3Cに供給される。

【0012】アドレスデコーダ24は、バスを介してCPU1から供給されたアドレス値をデコードし、対応するカードスロットにセレクト信号を供給するとともに、コントロール信号発生回路23にデコード値を出力する。

【0013】コントロール信号発生回路23は、アドレスデコーダ24からの信号にตอบสนองして、切換スイッチ21と22にI/OカードかICメモリカードを切り換えるための切換信号を供給するとともに、アトリビュートメモリ及びI/Oカード用のREG信号をカードスロット3A~3Cに供給する。

【0014】種別選択スイッチ4は、使用するカードを強制的に特定のカードに設定するためのスイッチで、スイッチ4A、4Bまたは4CのON操作により、対応するスロット3A、3Bまたは3Cに対して、例えば、強制的にICメモリカードをアクセスするように設定す

る。

【0015】図4は、インターフェース回路2の構成例であり、インターフェース回路2のコントロール信号発生回路23は、ORゲート231~233を有する。アドレスデコーダ24でデコードされたCPU1からのアトリビュート領域アドレス#11、#21及び#31は、コントロール信号発生回路23のORゲート231に入力される。また、I/Oカードアドレス#13、#23及び#33は、ORゲート232に入力される。ORゲート232の出力が切換スイッチ21と22の切換信号として供給される。一方、ORゲート231と232の出力は、ORゲート233に入力され、ORゲート233の出力がREG信号となる。アドレスデコーダ24からは、CPU1からのアドレスデコード値に基づいて各スロットのセレクト信号1~3が出力される。

【0016】図5は、本実施例のカードスロット3Aにカードが装着されたときの動作処理手順を示すフローチャートである。動作開始後、まず、アトリビュートメモリ領域#11をアクセスし(ステップS11)、アトリビュートメモリの有無を判定する(ステップS12)。ここで、アトリビュートメモリが無ければ、ICメモリカード領域(アクセス空間#12)にアクセスして(ステップS13)、処理を終了し、アトリビュートメモリがあれば、I/Oカードの有無を判定する(ステップS14)。

【0017】ステップS14において、I/Oカードではないと判定されると、上記ステップS13の処理に移行し、I/Oカードであると判定されると、種別選択スイッチ4により強制的にICメモリが選択されているかを判定する(ステップS15)。ここで、選択ありと判定されれば、上記ステップS13の処理に移行し、無しと判定されれば、I/Oカード領域(アクセス空間#13)にアクセスした(ステップS16)後、処理を終了する。

【0018】次に本発明の第2の実施例を説明する。本実施例は、CPUのメモリアドレス領域を共有して、アドレス空間を節約する例であり、CPUからI/OとICメモリカードの切換信号を出力するようにしている。

【0019】図6には、CPUのメモリマップ例が示されている。図3と比較して明らかなように、本例ではスロット3A、3B及び3CのICメモリとI/Oカード領域を共用している。

【0020】図7には、本実施例による画像処理装置の構成ブロック図が示されている。CPU1からは、インターフェース回路2の切換スイッチ21と22の切換信号が、切換スイッチ21、22及びコントロール信号発生回路23に供給されている。

【0021】インターフェース回路2内のコントロール信号発生回路23の構成が図8に示されている。アドレスデコーダからのアトリビュート領域#11、#21、

#31のデコードデータと、CPU1からのI/OカードとICメモリカードとの切換信号は、ORゲート234に供給され、ORゲート234の出力がREG信号としてカードスロット3A~3Cのそれぞれに供給される。

【0022】本実施例は、前述実施例と比較し、メモリ空間を小さくできる。メモリ空間は、バスのラインの本数で限られてしまうため、有効であり、メモリ空間が小さくなる。

【0023】ところで、画像処理装置において、システムコントローラからのメモリカード等のデータ記憶装置に対するアクセスしているときには、アクセス中であること（その他のメッセージも同様）をユーザに知らせるために例えばLED等を点灯せしめている。

【0024】そのための従来の構成が図13に示されている。システムコントローラ10からは、例えばカードスロットやフロッピーディスクドライブ装置としてのデータ記憶装置11A、11B及び11Cにイネーブル信号1、2及び3が供給されるとともに、それに対応してポート1、2及び3からスイッチングトランジスタ12A、12B及び12CをON動作させるための信号が供給されている。スイッチングトランジスタ12A、12B及び12Cと基準電位間にはLED13A、13B及び13Cが接続され、スイッチングトランジスタのON動作により、対応するLEDが点灯される。

【0025】上述のように、データ記憶装置に対するアクセス中であることを知らせるためのLEDの点灯は、システムコントローラのポートから出力される信号により行われているが、LEDの数に対応したシステムコントローラのポート数が必要となり、ポートの無駄使いとなるばかりでなく、システムコントローラのポート出力が誤動作した場合、データ記憶装置にアクセスしていないにもかかわらず、LEDが点灯してしまい、ユーザに混乱を招く恐れがある。

【0026】本発明の実施例では、図9に示すように、上述のようなシステムコントローラのポートの無駄使いをなくすために、データ記憶装置に供給するイネーブル信号1~イネーブル信号3によりスイッチングトランジスタ12A~12Cを直接的にON動作させて、対応するLEDを点灯させている。こうすることにより、システムコントローラのポートを節約でき、必要最小限のハードウェア構成により、システムコントローラの正常、異常に関係なくデータ記憶装置のアクセス中が正確に行えるようになる。

【0027】図10は、図9の他の変形例を示す構成ブロック図である。本実施例は、図13の従来構成において、スイッチングトランジスタ12A~12CをON動作させるために、スイッチングトランジスタ12A~12CのベースにそれぞれORゲート14A~14Cを接続している。ORゲート14A、14B及び14Cに

は、それぞれ、システムコントローラポート1とイネーブル信号1、ポート2とイネーブル信号2及びポート3とイネーブル信号3が入力されており、対応するORゲート14A~14Cの出力がスイッチングトランジスタ12A~12Cのベースに供給されている。

【0028】本実施例では、ORゲート14A~14Cを用いることにより、媒体装着表示、数バイトのアクセスでもユーザがわかるように1秒間は点灯させる等の表示態様を随時変更して各種状況に対応して点灯せしめることができる。したがって、LEDの点灯が長すぎる場合には、明らかにシステムコントローラの異常動作であることが確認できる。

【0029】図11には、動作状況、LEDの駆動方法（駆動する信号源）及びLED表示態様がテーブル形式で示されている。媒体装着時には、ポート出力で駆動され、1秒間隔で3回点滅される。また、数バイトアクセス時には、ポート出力で駆動され、LEDは1秒間点灯される。更に、DMA転送のような多バイトアクセス時には、イネーブル信号でLEDが駆動され、LEDはイネーブル信号のタイミングで点滅される。

【0030】上述実施例は、次のような構成要旨として表現することができる。当該CPUから複数の媒体装填部に装填された情報記録媒体のうちの特定のものを選択的にアクセスするための上記複数の媒体装填部毎に各別に対応したイネーブル信号自体を一つの条件入力として動作する媒体装填部動作状況表示手段を備えた画像処理装置。

【0031】

【発明の効果】以上説明したように、本発明による画像処理装置によれば、メモリカードやI/Oカード等の複数の媒体を装着して動作する装置を簡単な構成でアクセスできるだけでなく、プリント板設計や実装が容易となる。

【図面の簡単な説明】

【図1】本発明による画像処理装置の一実施例を示す構成ブロック図である。

【図2】本発明の実施例におけるアトリビュートメモリ、ICメモリカード及びI/Oカードへのコントロール信号を示す図である。

【図3】本発明の実施例におけるCPU側から自己につながるバスを介してアクセス可能な仮想的メモリ領域であるメモリマップ例を示す図である。

【図4】本発明の実施例におけるインターフェース回路2の構成例を示す図である。

【図5】本発明の実施例におけるカードスロット3Aにカードが装着されたときの動作処理手順を示すフローチャートである。

【図6】本発明の他の実施例におけるCPUのメモリマップ例を示す図である。

【図7】図6に示す実施例における画像処理装置の構成

ブロック図である。

【図8】図6に示す実施例におけるインターフェース回路2内のコントロール信号発生回路23の構成を示す図である。

【図9】本発明におけるデータ記憶装置アクセス時の表示のための構成図である。

【図10】図9の他の変形例を示す構成図である。

【図11】図10に示す実施例における動作状況、LEDの駆動方法（駆動する信号源）及びLED表示態様例を示す図である。

【図12】ICメモ리카ードやI/Oカードが共用できるとともに複数枚のカードが装填される画像処理装置として考えられる構成図である。

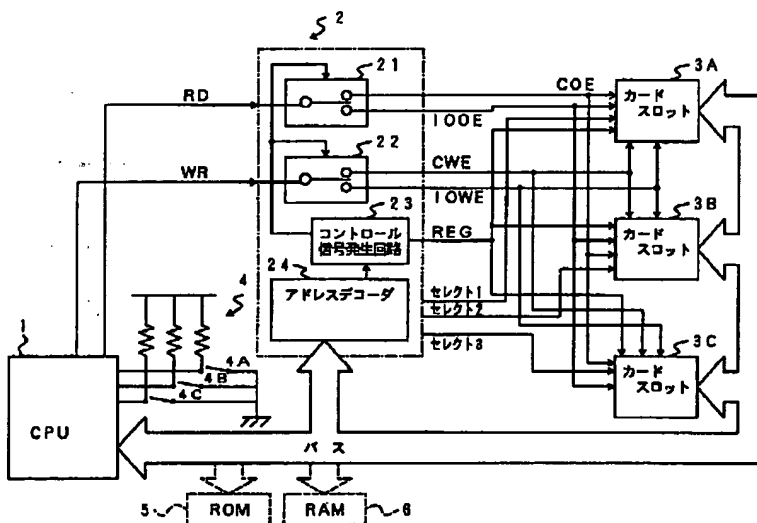
【図13】画像処理装置において、システムコントローラからメモ리카ード等に対するアクセス状態を知らせる

ための構成図である。

【符号の説明】

1	CPU	2	インターフェース回路
3A~3C	カードスロット	5	ROM
4	種別選択スイッチ	10	システムコントローラ
6	RAM		
11A~11C	データ記憶装置		
12A~12C	スイッチングトランジスタ		
21, 22	切換スイッチ		
23	コントロール信号発生回路		
24	アドレスデコーダ		
231~234	ORゲート		

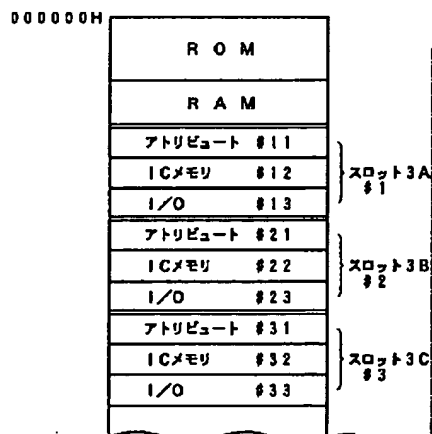
【図1】



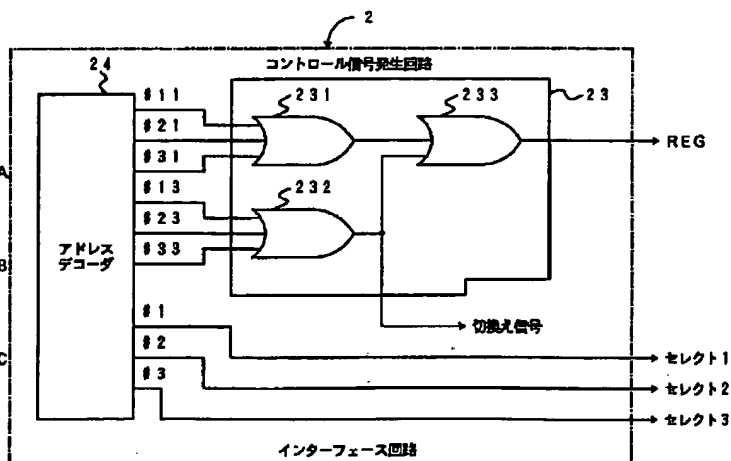
【図2】

	コントロール信号
アトリビュートメモリ	・セレクト ・REG, COE, CWE
ICメモリーカード	・セレクト ・COE, CWE
I/Oカード	・セレクト ・REG, IOOE, IOWE

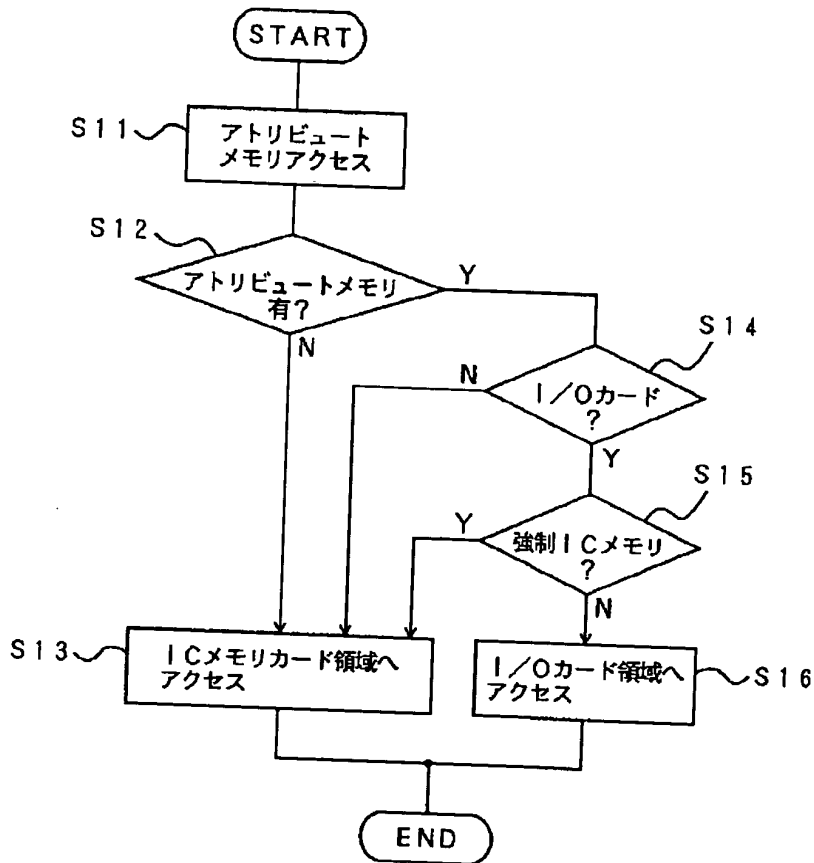
【図3】



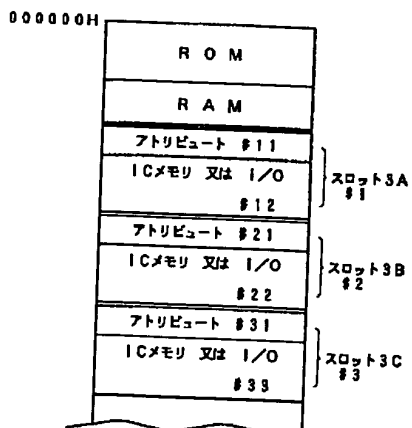
【図4】



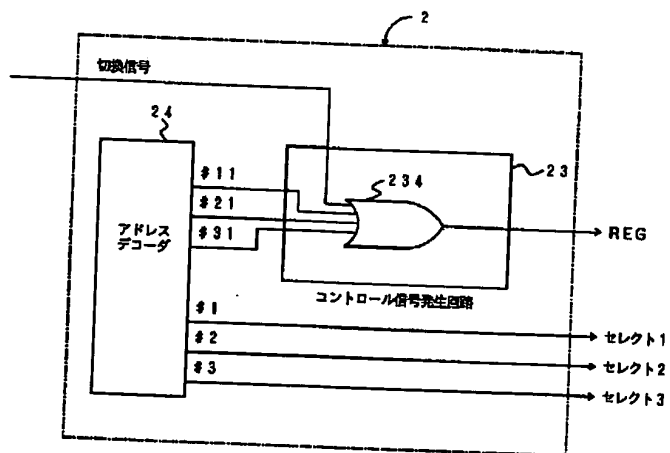
【図5】



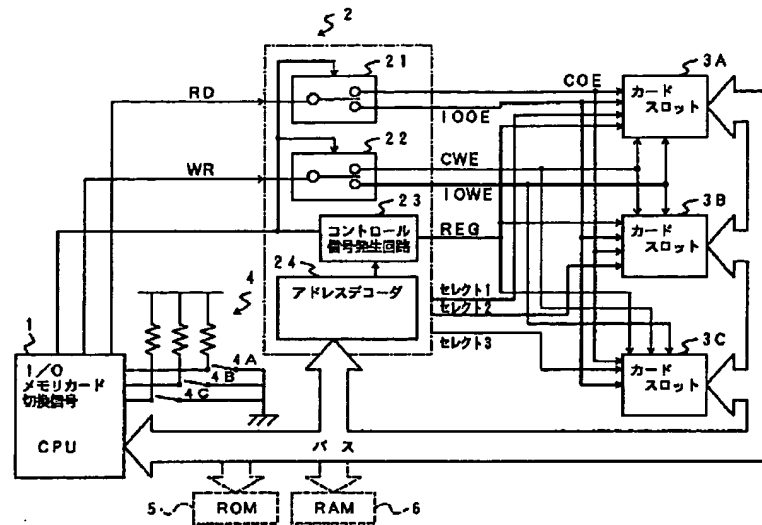
【図6】



【図8】



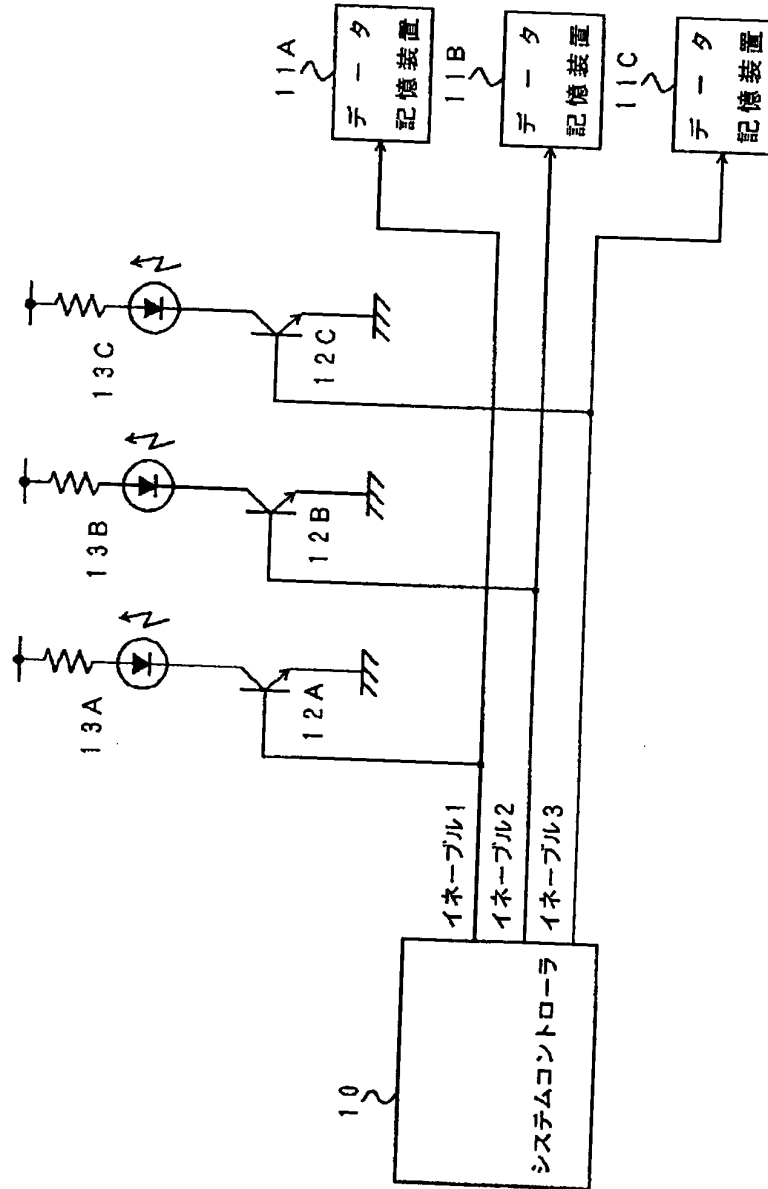
【図7】



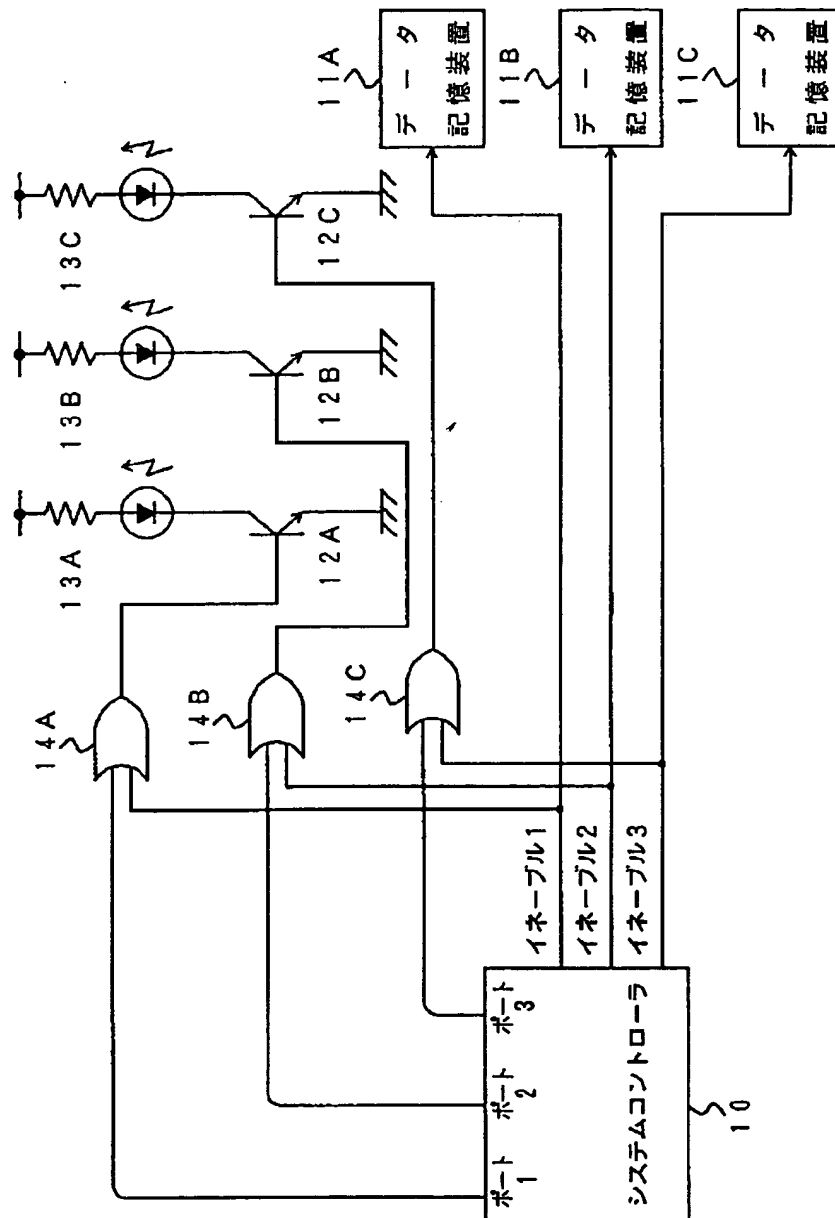
【図11】

状況	駆動方法 (LED)	LED表示
媒体装着時	ポート出力	1秒間隔で 3回点滅
数バイトアクセス時	ポート出力	1秒間点灯
DMA連送のような 多バイトアクセス時	イネーブル信号	イネーブル信号の タイミングで点滅

【図9】



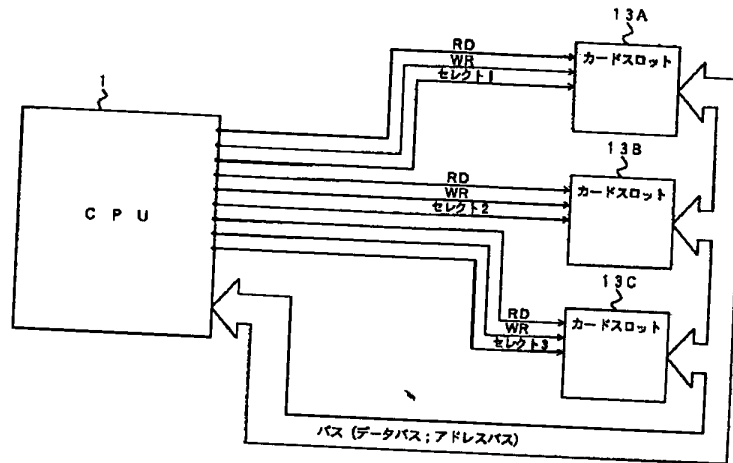
【図10】



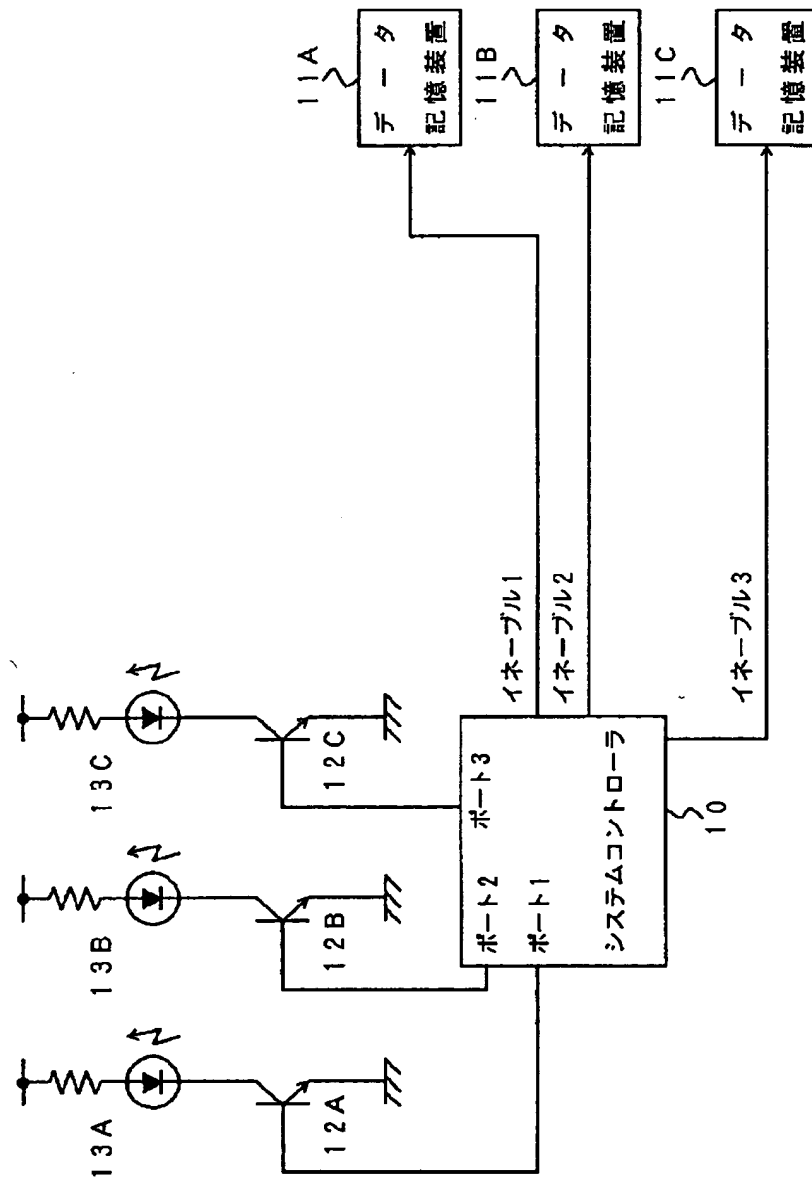
(10)

特開平7-78043

【図12】



【図13】



フロントページの続き

(51) Int. Cl.⁶

G 0 6 K 17/00

19/00

H 0 4 N 5/907

識別記号

庁内整理番号

D

B 7734-5C

F I

技術表示箇所

G 0 6 K 19/00

Q

THIS PAGE BLANK (COPY,